第一章 HDL与集成电路设计 1

1.1 本章概要 1

1.2 集成电路设计基础 2

1.2.1 集成电路的概念 2

1.2.1.1 集成电路的定义 2

1.2.1.2 SoC的概念 3

1.2.1.3 集成电路设计的分工与合作 4

1.2.2 IC设计的本质 6

1.2.2.1 摩尔定律的内涵 8

1.2.2.2 IC设计的核心内容 8

1.2.3 IC设计流程 8

1.2.3.1 HDL到硬件基本流程 9

1.2.3.1.1 硬件设计定义说明（Hardware Design Specification） 10

1.2.3.1.2 模块设计及IP复用（Module Design & IP Reuse） 10

1.2.3.1.3 顶层模块集成（Top Level Integration） 10

1.2.3.1.4 前仿真（Pre-layout Simulation） 10

1.2.3.1.5 逻辑综合（Logic Synthesis） 11

1.2.3.1.6 版图布局规划（Floorplan） 11

1.2.3.1.7 功耗分析（Power Analysis） 12

1.2.3.1.8 单元布局和优化（Placement & Optimization） 12

1.2.3.1.9 静态时序分析（STA，Static Timing Analysis） 12

1.2.3.1.10 形式验证（Formal Verification） 12

1.2.3.1.11 可测性电路插入（DFT，Design for Test） 12

1.2.3.1.12 时钟树综合（Clock Tree Synthesis） 12

1.2.3.1.13 布线设计（Routing） 12

1.2.3.1.14 寄生参数提取（Parasitic Extraction） 12

1.2.3.1.15 后仿真（Post-layout Simulation） 12

1.2.3.1.16 ECO修改（ECO，Engineering Change Order） 12

1.2.3.1.17 物理验证（Physical Verification） 13

1.2.3.1.18 DRC用以保证制造良率。 13

1.2.3.2 HDL的几个简单例子 13

1.2.3.2.1 全加器 13

1.2.3.2.2 分频器 14

1.2.3.3 HDL的内涵 14

1.2.3.4 HDL的特点 15

1.3 Verilog HDL 快速入门 16

1.3.1 Verilog HDL简介 16

1.3.2 Verilog的表达能力 16

1.3.3 第一个Verilog程序：通用加法器 17

1.3.3.1 例子小结 19

1.3.4 第二个Verilog程序：多路选择器与运算操作 19

1.3.4.1 case语句语法 20

1.3.4.2 always语句语法 20

1.3.4.2.1 always语句的并行性 21

1.3.4.2.2 always内部的控制流 21

1.3.4.3 算术逻辑单元例子 22

1.3.4.4 运算操作符 23

1.3.4.5 运算符的优先级 24

1.3.4.6 例子小结 25

1.3.5 第三个Verilog程序：D触发器和多路延迟 25

1.3.5.1 线网类型 25

1.3.5.2 寄存器类型 26

1.3.5.3 带复位的触发器 26

1.3.5.4 锁存器latch 27

1.3.5.5 多级延迟的触发器 27

1.3.5.6 计数器 29

1.3.5.7 分频器与门控使能信号 31

1.3.5.8 例子小结 31

1.3.6 第四个Verilog程序：function与时序电路组合 32

1.3.6.1 Function的用法 32

1.3.6.2 Function与触发器电路结合 32

1.3.6.3 Verilog电路时序模型的建立 35

1.3.6.4 基于算法视角的时序优化 36

1.3.6.4.1 累加拆解（第一种拆解） 36

1.3.6.4.2 累乘拆解（第二种拆解） 38

1.3.6.4.3 函数嵌套模式拆解（第三种拆解） 40

1.3.6.4.4 时序优化小结 42

1.3.6.5 Function与通用描述的转换方法 42

1.3.6.6 Function小结 43

1.3.7 第五个Verilog程序：有限状态机 43

1.3.7.1 有限状态机的设计思想 43

1.3.7.2 有限状态机的设计 45

1.3.7.2.1 状态机的编码 45

1.3.7.2.2 状态机的复位 45

1.3.7.2.3 状态机的条件跳转 45

1.3.7.2.4 状态机的输出 45

1.3.7.2.5 状态机的设计步骤 46

1.3.7.3 状态机的三种描述风格 46

1.3.7.3.1 一段式描述 47

1.3.7.3.2 二段式与三段式描述 47

1.3.7.3.3 FSM编码风格小结 48

1.3.7.3.4 有限状态机的判别标准 48

1.3.7.4 有限状态机举例 49

1.3.7.4.1 代码详解 50

1.3.7.4.2 有限状态机的状态添加 51

1.3.7.5 JTAG标准的状态机实现 52

1.3.7.5.1 JTAG标准介绍 52

1.3.7.5.2 JTAG状态机的设计 54

1.3.7.6 有限状态机小结 60

1.3.8 第六个Verilog程序：写testbench 60

1.3.8.1 TestBench 60

1.3.8.2 计数器的测试例子 61

1.3.8.3 module的例化 62

1.3.8.3.1 数据流描述方式 62

1.3.8.3.2 行为描述方式 63

1.3.8.3.3 结构化描述方式 64

1.3.8.3.4 三种描述方式的小结 67

1.3.8.4 激励信号的简单产生方法 67

1.3.8.4.1 有规律信号生成的例子 67

1.3.8.4.2 无规律信号的生成例子:文件读写 69

1.3.8.4.3 无规律信号的生成例子:基于随机函数 70

1.3.8.5 测试结果的存储 70

1.3.8.6 测试结果的显示 71

1.3.8.7 测试中的常见系统函数 71

1.3.8.7.1 打开文件fopen 72

1.3.8.7.2 写入文件fwrite 72

1.3.8.7.3 读取文件fread 72

1.3.8.7.4 关闭文件fclose 72

1.3.8.7.5 由文件设定存储器初值readmemh与readmemb 72

1.3.8.7.6 文件处理定位fseek 72

1.3.8.7.7 文件位置ftell 72

1.3.8.7.8 文件格式化sformat 72

1.3.8.7.9 常见函数的应用例子1：读取数据到memory 72

1.3.8.7.10 常见函数的应用例子2：自动比较结果 73

1.3.8.8 Testbench中的task与fork-join 73

1.3.8.8.1 Task 73

1.3.8.8.1.1 Task的定义 74

1.3.8.8.1.2 Task的调用 74

1.3.8.8.1.3 Task与function的区别 76

1.3.8.9 并行化的fork-join 77

1.3.8.10 testbench中存储数据波形 78

1.3.8.11 图形方式验证与HDL描述验证 79

1.3.8.12 Testbench小结 79

1.3.9 第七个Verilog程序：SPI总线 80

1.3.9.1 SPI总线的系统构架 80

1.3.9.2 SPI总线信号 80

1.3.9.3 时钟极性和时钟相位 80

1.3.9.4 SPI的内部结构 82

1.3.9.5 SPI主设备代码 83

1.3.9.6 SPI从设备代码 85

1.3.10 第八个Verilog程序：异步UART 86

1.3.10.1 UART传输格式 86

1.3.10.2 UART设计思想 87

1.3.10.3 UART的内部结构 87

1.3.10.3.1 波特率寄存器 88

1.3.10.3.2 发送模块 88

1.3.10.3.3 接收模块 89

1.3.10.4 UART的接收实现代码 89

1.3.10.5 UART的发送实现代码 91

1.3.11 一些有用的Verilog程序 93

1.3.11.1 跑马灯 93

1.3.11.2 双向端口的例子 93

1.3.11.3 JTAG的双向端口 94

1.3.11.4 通用1bit移位寄存器的例子 96

1.3.11.5 简单的中断控制器 96

1.3.11.6 4位转16位解码器 97

1.3.11.7 FSM状态机测试例子 98

1.3.11.8 generate生成语句 98

1.3.11.8.1 for循环 99

1.3.11.8.2 if-else例化 99

1.3.11.8.3 generate-case 99

1.3.12 Verilog之间的差异 100

1.3.13 Verilog语法小结 100

1.4 复杂模块的设计 103

1.4.1 结构化的设计 103

1.4.1.1 结构化设计分类 104

1.4.1.2 结构化设计的要点 105

1.4.2 数据流(Data path)的设计 107

1.4.2.1 无流控输入与输出 109

1.4.2.2 有流控输入/输出 109

1.4.2.2.1 被动流控 110

1.4.2.2.2 主动流控 111

1.4.2.3 数据流的总线接口 112

1.4.2.3.1 AHB总线 112

1.4.2.3.1.1 AHB设计例子 115

1.4.2.3.2 APB总线 117

1.4.2.3.2.1 APB设计例子 118

1.4.2.3.3 AHB2APB 119

1.4.2.4 总线效率与DMA 120

1.4.2.4.1 Bus Matrix设计 120

1.4.2.4.1.1 输入模块设计 120

1.4.2.4.1.2 译码单元 121

1.4.2.4.1.3 输出选择单元 121

1.4.2.4.2 DMA操作 122

1.4.2.4.3 AMBA总线IP简介 123

1.4.2.4.4 Bus Matrix在SOC中的应用 123

1.4.3 控制流的设计 124

1.4.3.1 主从状态机 124

1.4.3.2 主从状态机的并行化设计 126

1.4.4 重要接口部件设计 127

1.4.4.1 SRAM 127

1.4.4.1.1 SRAM的时序 127

1.4.4.1.2 寄存器堆 128

1.4.4.1.3 双口RAM 128

1.4.4.2 移位寄存器 128

1.4.4.3 FIFO 129

1.4.4.3.1 FIFO的用法 129

1.4.4.3.2 FIFO空满标志的算法 130

1.4.4.3.3 同步FIFO 131

1.4.4.3.4 异步FIFO设计 133

1.5 数的表示与基本运算 136

1.5.1 数表示方法 136

1.5.1.1 原码、反码和补码 136

1.5.1.2 浮点数的表示 137

1.5.1.2.1 浮点数转为二进制的例子 138

1.5.1.2.2 二进制转为浮点数的例子 138

1.5.1.3 定点数的表示 138

1.5.2 定点数的计算规则 140

1.5.2.1 定点运算过程举例 140

1.5.2.1.1 加法运算 $z=x+y$ 140

1.5.2.1.2 乘法运算 $z=x×y$ 141

1.5.2.1.3 除法运算 $z=x/y$ 141

1.5.3 定点数的移位规则 142

1.5.3.1 移位实现举例 143

1.5.3.2 截位与饱和处理 144

1.6 Verilog编程规范 146

1.6.1 文档规范 146

1.6.2 编程规范 146

1.6.3 文件头定义格式 146

1.6.4 格式规则 147

1.6.5 命名规则 147

1.6.6 整体编码规则 148

1.6.7 全局信号编码规则 155

1.6.8 模块编码规则 156

1.6.9 可综合性设计 156

1.6.10 可重用设计 157

1.6.11 编码规范小结 157

1.7 HDL电路设计技巧 158

1.7.1 芯片设计的核心目标 158

运行速度 158

硬件资源消耗（面积） 158

功耗 158

计算精度 158

1.7.2 如何提高电路运行速度 159

吞吐率 159

整体延迟 161

更进一步的讨论 161

优化时序 162

提高电路速度技巧小结 162

1.7.3 如何降低电路规模（使用面积） 162

折叠 163

基于多通道的复用 166

基于控制逻辑的复用 167

基于资源共享的复用 168

对全局信号的规范使用 171

1.7.4 如何优化时序 175

1.7.4.1 建立时间和保持时间 175

1.7.4.2 逻辑时延模型 175

1.7.4.3 改善时延的方法 176

1.7.4.3.1 割集的概念 178

1.7.4.3.2 利用割集进行优化举例 179

1.7.4.4 时序优化小结 181

1.7.4.4.1 信号处理常用的四种技巧 181

1.7.4.4.2 站在系统角度进行优化 182

1.7.4.4.3 注意反向优化时序 182

总结 183

第二章 FPGA设计入门 1

2.1 本章概要 1

2.2 FPGA简介 2

2.2.1 FPGA功能强大的秘密 4

2.2.2 为什么FPGA具备可编程能力 5

2.2.2.1 最小功能单元可编程 6

2.2.2.1.1 LUT4基础 7

2.2.2.2 利用可编程连线完成大模块组装 7

2.2.2.3 通过可编程IO实现FPGA的芯片化 8

2.2.3 FPGA其它内部单元 9

2.2.3.1 嵌入式块RAM(BRAM) 9

2.2.3.2 底层内嵌功能单元 9

2.2.3.3 内嵌专用硬核 9

2.2.3.4 专用乘法器(现在称为DSP模块) 9

2.2.4 FPGA应用场合 9

2.2.4.1 接口应用与粘连逻辑 10

2.2.4.2 信号处理应用 10

2.2.4.3 嵌入式处理方向 10

2.2.5 FPGA的设计流程 11

2.2.5.1 建立一个标准工程 12

2.2.5.2 添加IP文件到工程 13

2.2.5.3 FPGA设计流程的Tcl实现 15

2.2.5.3.1 Altera对Tcl的支持 15

2.2.5.3.2 FPGA实现流程的Tcl版本 16

2.2.5.3.2.1 工程的建立 16

2.2.5.3.2.2 运行综合命令 17

2.2.5.4 FIR\_test工程的编译过程 17

2.2.5.4.1 添加时序约束 18

2.2.5.4.2 添加管脚约束 19

2.2.5.4.3 启动编译 19

2.2.6 FPGA的层次提升 20

2.3 FPGA与ASIC的差异 23

2.4 FPGA的基本构成 25

2.4.1 FPGA的RAM 资源 25

2.4.1.1 RAM的典型应用 25

2.4.1.2 FPGA中RAM的特点 26

2.4.1.2.1 单口RAM 26

2.4.1.2.2 双口RAM 30

简单双口RAM 30

真双口RAM 31

2.4.1.3 RAM使用的注意事项 31

2.4.1.3.1 单口RAM 32

2.4.1.3.2 双口RAM 32

2.4.1.3.3 其它 32

2.4.1.4 基于RAM的IP 32

2.4.1.4.1 ROM 32

2.4.1.4.2 移位寄存器 33

2.4.1.5 FPGA RAM的使用原则 34

2.4.2 DSP资源 34

2.4.2.1 Arria® 10的DSP模块 34

2.4.2.1.1 浮点模式 34

2.4.2.1.2 标准精度模式 35

2.4.2.1.3 高精度模式 36

2.4.2.2 Xilinx DSP48E模块 37

2.4.2.2.1 DSP48E结构 37

2.4.2.2.2 DSP48E的常规算术功能 38

2.4.2.2.3 DSP48E的指令集 39

2.4.2.2.4 DSP48E求平方根的例子 40

2.4.3 PLL资源 41

2.4.3.1 模拟PLL的工作原理 41

2.4.3.2 PLL的基本用法 42

2.4.3.3 Altera的PLL模式 43

2.4.3.3.1 源同步模式 43

2.4.3.3.2 标准模式 44

2.4.3.3.3 零延迟缓冲模式 44

2.4.3.3.4 无补偿模式 44

2.4.3.4 PLL规划的原则 45

2.4.3.4.1 将PLL用于时钟管理 45

2.4.3.4.2 选择正确的PLL反馈模式 45

2.4.3.4.3 利用时钟控制模块实现时钟选择和功耗控制 45

2.4.4 IO管脚（PIN）资源 46

2.4.4.1 电源管脚 46

2.4.4.2 配置管脚 46

2.4.4.3 普通I/O 47

2.4.4.4 时钟管脚 47

2.4.4.5 IO管脚的约束原则 47

2.4.5 SERDES 48

2.4.5.1 SERDES的应用背景 48

2.4.5.2 SERDES的结构 49

2.4.5.3 SERDES的协议构架 49

2.4.5.4 Altera的LVDS接口 50

2.4.5.5 SERDES的设计原则 51

2.5 FPGA的调试 52

2.5.1 In-System Memory Content Editor 52

2.5.1.1 工具使用步骤 52

2.5.1.2 图形操作方法 52

2.5.1.3 TCL命令 53

2.5.2 内嵌逻辑分析仪（SignalTap或ChipScope） 54

2.5.2.1 Altera的SignalTap 55

2.5.2.1.1 SignalTap的界面 56

2.5.2.1.2 SignalTap的演示 56

2.5.2.1.3 SignalTap的基本Trigger模式 57

2.5.2.1.4 SignalTap的Advanced Trigger模式 57

2.5.2.1.5 SignalTap基于状态触发的Trigger模式 57

2.5.2.2 基于Tcl的调试 59

2.5.3 虚拟JTAG（Virtual JTAG） 60

2.5.3.1 虚拟JTAG的生成 61

2.5.3.2 虚拟JTAG简单举例 63

2.5.3.3 虚拟JTAG的操作过程 64

2.5.4 LogicLock 66

2.5.4.1 LogicLock的设计流程 67

2.5.5 调试设计的指导原则 68

2.6 FPGA的设计方法 69

2.6.1 FPGA的设计规范（design Specification） 69

2.6.2 FPGA的整体结构设计 70

2.6.2.1 接口处理类结构设计 71

2.6.2.1.1 相同速率变换接口 71

2.6.2.1.2 不同速率变换接口 72

2.6.2.2 辅助协处理类 73

2.6.2.3 数据计算类 77

2.6.2.4 简单控制处理类 80

2.6.2.4.1 常见的控制信号生成 81

定时触发类 81

信号检测类 81

2.6.2.4.2 状态机的生成方法 82

2.6.2.5 CPU控制处理类 82

2.7 FPGA电路的优化 84

2.7.1 整体优化原则 85

2.7.2 FPGA优化举例 86

2.7.2.1 例子1：减少关键路径上组合逻辑单元数 86

2.7.2.2 例子2：通过资源共享实现面积减少 87

2.7.2.2.1 时分复用方法 87

2.7.2.2.2 改变复用方式方法 87

2.8 FPGA可综合的概念 89

2.8.1 可综合与不可综合的归纳 89

2.8.2 always可综合的概念 90

2.8.3 有限状态机FSM可综合的概念 91

2.8.4 可综合模块举例 92

2.8.4.1 组合电路 92

2.8.4.2 时序电路 95

2.9 FPGA设计的注意事项 99

2.9.1 外部接口 99

2.9.2 时钟电路 99

2.9.2.1 逻辑时钟的时序模型 99

2.9.2.2 全局时钟的设计 100

2.9.2.3 门控时钟设计 100

2.9.2.4 多级时钟设计 100

2.9.2.5 行波时钟 101

2.9.3 复位电路 102

2.9.3.1 复位的应用场景 103

2.9.3.2 同步复位与异步复位 103

2.9.4 FPGA的设计检查项 105

2.10 附录2.A开发流程与应用环境快速搭建 108

2.10.1 FPGA仿真环境 108

2.10.1.1 Modelsim/Questasim简介 109

2.10.1.2 Modelsim/Qusetasim的仿真过程 110

2.10.1.2.1 Modelsim/Questasim的命令行仿真 111

2.10.1.2.2 Modelsim/Questasim的图形界面仿真 111

2.10.1.3 Modelsim与Debussy的联调功能 112

2.10.1.3.1 Debussy的设置流程 112

2.10.1.3.2 Modelsim配合Debussy运行的脚本 113

2.10.1.3.3 Debussy的运行命令 114

2.10.1.4 Modelsim的特色功能 115

2.10.1.4.1 覆盖率仿真（Coverage） 115

2.10.1.4.2 Dataflow功能 116

2.10.1.4.3 Quartus与Modelsim联合仿真 116

2.10.2 基于Xilinx的ESL软件测试环境的搭建与调试 119

2.10.2.1 软硬件环境配置要求 119

2.10.2.2 FPGA ESL标准工程设计流程 120

2.10.2.2.1 工程目录类别说明 120

2.10.2.2.2 文件分类说明 121

2.10.2.2.3 Xilinx ESL 工程建立 123

2.10.2.2.4 Xilinx ESL 工程的参数设定 125

IP升级/model升级 127

Xilinx ESL常见问题及解决建议 128

2.10.3 基于Zynq开发板的vivado开发流程 130

建立工程 130

生成Zynq基础系统 130

2.10.3.1 生成外围系统 131

设定地址空间 131

硬件约束检查与后续事项步骤 131

ZYNQ的软件开发 132

2.10.3.2 ZYNQ的调试运行 134

软硬件协同仿真调试过程 134

总结 136

第三章 数字信号处理与算法设计思想 1

3.1 本章概要 1

3.2 通信模型的模型构架 2

3.2.1 通信电路的组成结构 2

3.2.2 常见的算法单元模块 2

3.3 通信系统的基本算法 4

3.4 通信系统芯片设计的基本套路 7

3.4.1 芯片设计的整体流程 7

3.4.2 需求类别分析 7

3.4.3 高速通信芯片的实现方案 8

3.4.4 中速通信芯片的实现 9

3.4.5 低速通信芯片的实现 11

3.4.6 传统终端基带芯片的方案 12

3.5 数字滤波器设计 14

3.5.1 FIR滤波器的基本概念 14

3.5.1.1 FIR滤波器的几个基本指标 14

3.5.1.1.1 滤波器绝对指标 14

3.5.1.1.2 滤波器的相对指标 15

3.5.1.2 FIR滤波器的指标与实际硬件的联系 15

3.5.1.3 FIR滤波器的应用场合 16

3.5.2 FIR滤波器的基本硬件实现 16

3.5.2.1 FIR硬件结构变形方案 18

3.5.2.2 FIR直接型与转置型的对比 18

3.5.2.3 FIR硬件工程化的要点 19

3.5.3 FIR滤波器硬件实现结构概述 19

3.5.3.1 基于串行乘累加FIR滤波器结构 20

3.5.3.2 基于并行乘法器直接型FIR滤波器结构 23

3.5.3.3 基于并行乘法器转置的FIR滤波器结构 23

3.5.3.4 基于并行乘法器脉动（systolic）FIR滤波器结构 23

3.5.3.4.1 FPGA的脉动PE单元 25

3.5.3.5 基于乘法器的半并行（Semi－Parallel）FIR滤波器结构 26

3.5.3.6 FIR滤波器的多通道设计 27

3.5.3.7 滤波器小结 27

3.5.4 基于分布式DA算法的FIR滤波器 27

3.5.4.1 分布式DA算法介绍 27

3.5.4.2 分布式算法的实现原理 29

3.5.4.3 DA算法Verilog实现代码 30

3.5.4.4 DA算法的优化与改进 31

3.5.4.5 DA算法优化实现代码 32

3.5.4.6 DA算法的小结 34

3.5.5 IIR滤波器设计 35

3.5.5.1 IIR滤波器的硬件实现方案 35

3.5.5.2 IIR的直接实现模式 36

3.5.5.3 IIR的几个关键问题 36

3.5.5.4 IIR滤波器的例子 37

3.5.6 数字滤波器的扩展应用——相关（correlation analysis） 38

3.5.6.1 相关的概念 39

3.5.6.2 相关运算的数学基础 39

3.5.6.3 相关运算实现 40

3.5.6.4 相关运算小结 41

3.6 FFT原理与硬件设计 42

3.6.1 概述 42

3.6.1.1 傅立叶变换的物理意义 42

*3.6.1.2* FFT所蕴含的思想 43

3.6.1.3 如何理解OFDM中的FFT和IFFT 44

3.6.2 FFT理论描述 44

3.6.2.1 FFT算法特点 45

*3.6.2.2* *基2的频域抽取FFT算法* 45

3.6.2.3 算法实现例子 47

3.6.3 FFT标准算法在实现中需要解决的问题 48

3.6.3.1 输入输出位序调整 48

3.6.3.2 FFT变换基的选择 49

3.6.3.3 复数乘法器的简化 50

*3.6.4* *FFT硬件实现* 50

3.6.4.1 小型FFT的设计方案 50

3.6.4.2 大型FFT的设计方案 54

3.6.5 适用于WLAN发射机的64点FFT设计 55

3.6.6 适用于WLAN接收机的64点FFT设计 61

3.6.6.1 FFT64点整体实现 62

3.6.6.2 FFT的分形函数实现 63

3.6.7 FFT与FIR的关系 63

3.6.8 离散余弦变换DCT 64

*3.6.8.1* 图像处理中的二维DCT 65

3.6.8.2 通用的二维DCT实现 65

3.7 CORDIC算法 68

3.7.1 CORDIC简介 68

3.7.2 一个计算角度atan的例子 68

3.7.3 CORDIC算法原理 72

*3.7.3.1* Cos/Sin函数的求取 73

*3.7.3.2* 极坐标函数的求取 73

3.7.4 CORDIC通用算法原理 73

3.7.4.1 线性坐标系旋转 74

3.7.4.2 双曲线坐标系旋转 74

3.7.4.3 CORDIC函数求值的扩展 75

3.7.5 CORDIC计算的硬件结构 75

3.7.5.1 循环结构 76

3.7.5.2 非循环结构 77

3.7.5.3 全串行结构 77

3.7.5.4 CORDIC旋转部分的公用代码 78

3.7.5.5 串行CORDIC公共实现代码 79

3.7.5.6 求角度atan的代码 79

3.7.5.7 正余弦的核心部分 80

3.8 NCO与DDS 82

3.8.1 NCO与DDS简介 82

3.8.2 NCO设计原理 82

3.8.3 NCO硬件设计 84

3.8.4 DDS硬件设计 85

3.8.5 DDS实现通信调制 87

3.8.5.1 FM调制 87

3.8.5.2 其它信号调制 87

3.9 数字中频 90

3.9.1 概述 90

3.9.2 数字下变频DDC 90

3.9.2.1 DDC频谱搬移的原理 91

3.9.2.1.1 欠采样频谱搬移 92

3.9.2.1.2 欠采样时的参数确定 93

3.9.2.2 采样速率变换的原理 95

*3.9.2.2.1* 降低速率的方法：抽取 95

3.9.2.2.2 提高速率的方法：内插 96

3.9.2.3 CIC滤波器 97

3.9.2.3.1 CIC滤波器的组成 98

3.9.2.3.2 CIC滤波器的整体特性 99

3.9.2.3.3 CIC的抽取 100

3.9.2.3.4 CIC滤波器的频率响应特性 101

3.9.2.3.5 CIC滤波器的带通补偿 103

3.9.2.3.6 CIC滤波器的定点与溢出问题 104

3.9.2.3.7 CIC插值滤波器 104

3.9.2.4 半带滤波器（HB Filter） 104

3.9.2.4.1 半带的多相抽取实现 106

3.9.2.5 其它滤波器 107

3.9.3 数字上变频DUC 108

3.9.3.1 DUC的内插 108

3.9.3.2 滤波的简化实现：多相滤波 110

3.9.3.3 DUC的混频调制 111

3.9.4 数字上下变频的系统级设计（ESL） 112

3.9.4.1 折叠与多通道 113

3.9.4.1.1 Fold的应用 114

3.9.4.1.2 多通道的应用 114

3.9.4.1.3 基于ESL的数字中频设计 114

3.9.4.2 数字中频的自动化设计 115

3.9.5 数字中频的各种设计案例 118

3.9.5.1 TD-SCDMA的6载波12通道DDC实现方案 118

3.9.5.1.1 半带滤波器多通道数据存储方式 119

3.9.5.1.2 半带滤波器多通道控制方案 119

3.9.5.1.3 RRC 滤波器顶层设计 119

3.9.5.1.4 RRC 子滤波器设计 120

3.9.5.1.5 RRC子滤波器中系数与数据的存储 120

3.9.5.1.6 载波分路混频器 121

3.9.5.1.7 多通道NCO（本振）的实现 122

3.9.5.1.8 多通道增益调整的实现 122

3.9.5.1.9 多通道MAC单元设计 123

3.9.5.1.10 多通道的时延调整 123

3.9.5.1.11 多通道DDC设计的建议小结 123

3.9.5.2 LTE的统一采样速率采样方案 124

3.9.5.3 LTE 20MHz数字中频DDC方案 125

3.9.5.3.1 adc接口模块 125

3.9.5.3.2 data\_src\_ctrl模块 126

3.9.5.3.3 demod\_hb模块 126

3.9.5.3.4 hb\_nco\_ul模块 127

3.9.5.3.5 pfir\_ul模块 127

3.9.5.4 LTE 20MHz数字中频DUC方案 127

3.9.5.4.1 pfir\_dl模块 128

3.9.5.4.2 hb\_nco\_dl模块 128

3.9.5.4.3 CFR模块 128

3.9.5.4.4 DPD模块 129

3.9.5.5 窄带25KHz系统DDC欠采样方案 129

3.9.5.6 窄带25KHz系统DUC欠采样方案 131

3.10 FM收音机 133

3.10.1 FM收音机原理 133

*3.10.2* FM收音机的解调思路 135

*3.10.3* FM的中频处理 135

*3.10.3.1* AD与数字前端的选择 135

3.10.3.1.1 确定AD的工作速率（SPS） 135

3.10.3.1.2 确定AD的有效BIT数 136

3.10.3.1.3 确认AD的动态范围以及接口参数 136

*3.10.3.2* 数控振荡器（NCO）指标 136

*3.10.3.3* 数字中频滤波器的选取 136

3.10.3.3.1 128倍CIC抽取 137

3.10.3.3.2 FIR低通滤波 137

3.10.3.3.3 FM调频解调 138

3.10.3.3.4 FM调频解调的商业化处理 139

（1）将差分（微分）与反正切运算结合 139

（2）除法保护与恒包络特性 139

*3.10.4* FM单声道收音机的ESL设计 140

*3.10.5* FM立体声的硬件实现 142

3.10.5.1 立体声分离算法的进一步改进 143

*3.10.5.2* FM导频信号的获取 144

3.10.5.2.1 IIR滤波器方案 145

3.10.5.2.2 用于导频获取的IIR硬件实现 146

*3.10.6* FM收音机相关的一些话题 148

3.10.6.1 基于Sigma-Delta的AD采样技术 148

3.10.6.2 数字电路实现模拟AD 148

3.10.6.3 数字电路实现模拟DA 149

*3.10.6.4* 基于FPGA的全数字化收音机 151

3.10.6.5 对FM采用228KHz时钟的补充说明 153

3.11 数字信号处理算法实现的部分技巧 154

3.11.1 复数乘法 154

3.11.2 除(2^n-1)的计算 155

*3.11.2.1* mod(2^n-1) 155

*3.11.2.2* div(2^n-1) 155

3.11.3 数据压缩 155

3.11.4 饱和处理 156

3.11.5 并行动态定标的操作 157

3.11.6 移位长除法计算 158

3.11.7 递增式乘法的计算 159

3.11.8 高位宽乘法（适合xilinx FPGA） 159

3.11.9 Xilinx DSP级联 161

3.11.10 查表插值计算方法 162

3.11.11 DSP48实现四舍五入 166

3.11.12 倒数查表法实现除法和取模 166

总结 168

第四章 信道编解码与HDL设计实现 1

4.1 本章概要 1

4.2 通信模型的编码与解码基本框架 2

4.2.1 编码基础知识 2

4.2.2 编码的几个基本概念 2

4.2.3 信道编码间的关系 3

4.2.4 级联码 4

4.2.5 信道编解码芯片实现的基本套路 4

4.3 8B/10B编码与译码 6

4.3.1 8B/10B编码过程 6

4.3.2 8B/10B解码过程 9

4.3.3 8B/10B编码与解码的Verilog实现 10

4.4 有限域运算基础 14

4.4.1 有限域的基本概念 14

4.4.1.1 单位元 14

4.4.1.2 逆元 14

4.4.1.3 域成立的条件 14

4.4.2 有限域多项式的运算规则 15

4.4.2.1 素多项式的概念 15

4.4.2.2 本原多项式（primitive polynomial）： 16

4.4.3 GF(2)域的多项式运算 17

4.4.4 适合硬件实现的有限域运算方法 18

4.4.4.1 有限域的生成元 18

4.4.4.2 有限域计算的查表方法 20

4.4.4.2.1 正表与反表的实现方法 20

4.4.4.2.2 逆表的实现方法 21

4.4.4.2.3 基于正表、反表和逆表的乘法与除法实现 21

4.4.4.2.4 利用生成元进行计算的例子 21

4.4.4.3 通用乘法器的设计 22

4.5 CRC冗余校验码简介 26

4.5.1 CRC算法的基本原理 27

4.5.2 几个基本概念 28

4.5.3 CRC算法实现 28

4.5.3.1 CRC算法的并行化 29

4.5.3.2 CRC自动代码生成 32

4.6 RS码 35

4.6.1 RS的编码算法 35

4.6.1.1 RS的生成多项式 35

4.6.1.2 详细的RS编码过程 36

4.6.1.3 RS编码过程举例 36

4.6.1.4 RS编码$H$校验矩阵的获取 37

4.6.2 RS的译码算法 39

4.6.2.1 计算伴随多项式（校正子）$Sj$ 40

4.6.2.2 计算伴随多项式的意义 41

4.6.2.3 错误位置多项式 42

4.6.2.3.1 思路一：直接构造错误位置的线性方程 42

4.6.2.3.2 思路二：构造恒等式间接求出错误位置与错误数值 43

4.6.2.3.3 关键方程 44

4.6.2.3.4 欧几里得算法 45

4.6.2.3.5 多项式上的欧几里得算法 46

4.6.2.3.6 关键方程迭代终止的条件 47

4.6.2.3.7 欧几里得算法计算举例 47

4.6.2.3.8 改进的欧几里得算法 48

4.6.2.4 求错误位置值 51

4.6.2.5 求错误值 52

4.6.2.6 求错误值的小技巧 53

4.6.2.7 RS译码校正 53

4.6.2.8 RS译码算法小结 54

4.6.2.9 RS译码物理意义 54

4.6.2.10 低纠错位数的简化RS译码 56

4.7 BCH码 58

4.7.1 BCH编码 58

4.7.1.1 BCH编码与校验例子 59

4.7.1.2 BCH编码电路逻辑实现 59

4.7.2 BCH译码方法简介 60

4.7.2.1 彼得森（Peterson）译码算法 60

4.7.2.2 基于查找表的译码算法 61

4.7.2.2.1 查找表算法实现举例 62

4.8 卷积码简介 63

4.8.1 卷积码的相关概念 63

4.8.2 卷积码编码通用表述 63

4.8.3 卷积码的变形以及特殊处理 67

4.8.4 卷积码的译码原理 67

4.8.4.1 Viterbi译码实现小结 70

4.8.4.2 Viterbi译码的几个关键细节 70

4.8.4.2.1 分支度量的计算 70

4.8.4.2.2 蝶形单元与状态转移 71

4.8.4.2.3 Viterbi算法的存储开销 72

4.8.4.2.4 卷积码(2,1,7)的蝶形单元举例 73

4.8.4.2.5 蝶形单元的另类表示 73

4.8.4.2.6 回溯及译码流程 74

4.8.4.2.7 卷积码(2,1,7)的整体译码流程举例 75

4.8.4.2.8 三个子码的蝶形单元表示方法 75

4.8.4.2.9 蝶形单元的并行化 75

4.8.4.2.10 1/2/3/4 bit 量化的各种约束 76

4.8.4.3 viterbi的基4算法 77

4.8.4.3.1 基4算法的碟形单元 77

4.8.4.3.2 基4算法的状态输入 77

4.8.4.3.3 基4算法的简化输入 79

4.8.4.3.4 回溯 80

4.8.4.3.5 速率 80

4.8.4.4 Viterbi的C语言实现代码 80

4.8.5 Viterbi译码的硬件实现 81

4.8.5.1 Viterbi算法的硬件实现摘要 82

4.8.6 Viterbi的引申话题 83

4.8.6.1 Viterbi在调制解调上的应用 83

4.8.6.2 Viterbi在大数据业务中的应用 85

4.8.6.2.1 隐马尔可夫模型（HMM） 85

4.8.6.2.2 FPGA与大数据的关系 86

4.9 信道编解码设计详例 87

4.9.1 编码方案 87

4.9.2 整体编码流程 88

4.9.3 硬件方案的整体概述 90

4.9.3.1 整体数据流 92

4.9.3.2 整体控制流 93

4.9.3.3 部件间的总线互联结构 93

4.9.3.4 整体输入输出接口 94

4.9.3.5 内部总线时序 94

4.9.3.6 数据流格式 94

4.9.3.7 与调制解调模块（GMSK）的数据交互方式 95

4.9.3.8 信道编解码的SoC地址空间分配 95

4.9.4 信道编码 96

4.9.4.1 内部寄存器设计 97

4.9.4.2 DMA设置 100

4.9.4.3 信道编码器的详细设计 100

4.9.4.3.1 接口设计 100

4.9.4.3.2 Matrix开关矩阵 100

4.9.4.3.3 内部单元设计 101

4.9.5 信道解码 105

4.9.5.1 内部寄存器设计 105

4.9.5.2 信道解码器详细设计 108

4.9.5.2.1 接口设计 108

4.9.5.2.2 内部单元设计 109

4.9.6 信道编解码中几个关键问题的描述 113

4.9.6.1 软/硬判决 113

4.9.6.2 Reed-Muller编码与译码 114

4.9.6.2.1 Reed-Muller译码算法 114

4.9.6.2.2 Reed-Muller硬件实现 115

4.9.6.3 芯片的使用于配置 118

4.9.6.3.1 软件操作说明 118

4.9.6.3.2 接口配置与协商 119

4.9.6.3.3 DSP控制编码流程 121

4.9.6.3.4 DSP配置解码过程 122

4.9.6.3.5 DMA的设计 123

4.9.6.3.6 最终的芯片 123

总结 125

第五章 通信原理与传统无线芯片设计 1

5.1 本章概要 1

5.2 通信原理与设计实现 2

5.2.1 通信系统模型 2

5.2.2 常见的各种调制方式 4

5.2.2.1 恒包络调制 4

5.2.2.1.1 恒包络信号的相位处理方法 5

5.2.2.1.2 恒包络信号的IQ正交处理方法 5

5.2.2.2 线性调制 6

5.2.2.2.1 BPSK的调制过程 7

5.2.2.2.2 QPSK的调制过程 8

5.2.2.2.3 2DPSK 9

5.2.2.2.4 理想QPSK调制解调 10

5.2.2.3 QAM调制 11

5.2.2.3.1 QAM的调制原理 11

5.2.2.3.2 QAM调制实现框图 12

5.2.3 通信链路的关键要素 12

5.2.3.1 信道的概念 12

5.2.3.2 影响传输性能的主要因素 13

5.2.3.3 香农极限以及含义 15

5.2.3.4 解调极限以及含义 16

5.2.4 射频模型 17

5.2.4.1 射频中的几个基本概念 18

5.2.4.2 发射机概述 19

5.2.4.3 用于直观判别信号质量的两个概念 24

5.2.4.4 接收机概述 26

5.2.5 调整射频的三个重要手段 28

5.2.5.1 AGC 28

5.2.5.2 AFC 32

5.2.5.3 APC 32

5.2.5.4 PLL在USB2.0设备上的应用 36

5.3 常见的通信解调套路 38

5.3.1 解调套路概述 38

5.3.2 解调实现方法 38

5.3.2.1 NDA的频偏估计方法 39

5.3.2.2 DA的频偏估计方法 40

5.3.2.3 NDA相位估计方法 41

5.3.2.4 DA相位估计方法 41

5.3.2.5 DA定时估计方法 42

5.3.2.6 NDA定时估计方法 44

5.3.2.7 定时插值实现 45

5.3.2.8 各类调制信号的解调软信息生成 47

5.3.2.8.1 最大似然解调 47

5.3.2.8.2 快速*LLR*算法 48

5.3.3 解调实例 49

5.3.3.1 传输帧结构 49

5.3.3.1.1 超帧定时同步序列SYN0 49

5.3.3.1.2 载波同步前导SYN1 50

5.3.3.1.3 超帧模式字段MODE 50

5.3.3.1.4 数据帧 50

5.3.3.1.5 基带成形滤波和正交调制 51

5.3.3.1.6 信道编码 51

5.3.3.1.7 超帧速率模式及其对应的Walsh码 52

5.3.3.2 解调算法实现 53

5.3.3.2.1 发送流程 53

5.3.3.2.2 接收流程 54

5.3.3.2.3 位定时同步 54

5.3.3.2.4 符号定时同步 56

5.3.3.2.5 频偏估计和初相估计 57

5.3.3.2.6 QPSK解调和相移估计 57

5.3.3.2.7 参考Matlab代码 57

5.4 DVB-S系统概述 62

5.4.1 DVB-S整体流程介绍 62

5.4.2 DVB-S系统的数据扰码 62

5.4.3 DVB-S系统的外编码模块（RS（206,188）） 62

5.4.4 DVB-S系统的卷积交织 63

5.4.5 DVB-S系统的卷积编码 65

5.4.6 DVB-S系统的QPSK调制 65

5.5 DVB-S信道接收算法原理 67

5.5.1 QPSK信号数学表示 67

5.5.2 QPSK解调总体设计 68

5.5.3 QPSK解调载波恢复 68

5.5.3.1 载波恢复的电路实现结构 68

基本原理 69

电路设计注意事项 69

同步过程 69

失锁处理 70

5.5.3.2 频率相位校正器 70

输入输出信号 70

算法描述 70

算法分析 70

5.5.3.3 频率偏差检测器 71

信号输入输出 71

算法描述 71

算法分析 71

5.5.3.4 频率锁定检测与指示 72

基本算法 72

改进算法 72

算法实现 72

5.5.3.5 相位偏差检测器 73

信号接口 73

算法描述 73

算法分析 73

5.5.3.6 相位锁定检测与指示 74

基本算法 74

改进算法 74

算法实现 74

5.5.3.7 环路滤波器 74

环路滤波器的理论基础 74

参数选择 75

5.5.3.8 数控振荡器（NCO） 75

5.5.4 QPSK符号时钟同步 76

5.5.4.1 基本理论分析 76

5.5.4.2 时钟同步原理总体概述 76

基本原理 77

频率扫描 77

同步捕获 77

失锁处理 78

5.5.4.3 插值器 78

信号输入输出 78

算法描述 78

算法分析 78

5.5.4.4 定时偏差检测 78

信号输入输出 78

算法描述 78

算法分析性能分析 79

5.5.4.5 符号同步锁定检测与指示 80

基本算法 80

改进算法 80

算法实现 80

5.5.4.6 插值数控振荡器（INCO） 80

输入输出信号 80

算法描述 80

5.5.4.7 环路捕获辅助电路 80

预置值方法 81

频率扫描算法 81

5.5.4.8 环路滤波器 81

5.5.5 QPSK解调辅助电路 81

5.5.5.1 信噪比估计电路 81

5.5.5.2 匹配滤波器 81

5.5.6 DVB-S系统解调的算法推导 81

5.5.6.1 通信系统统计量计算基础知识 81

5.5.6.1.1 样值求和 81

5.5.6.1.2 基带信号统计平均 82

5.5.6.2 载波频率偏差检测与锁定检测 83

5.5.6.2.1 载波频偏计算的结论 85

5.5.6.3 载波相位偏差检测与锁定检测 85

5.5.6.3.1 载波相位偏差计算的结论 87

5.5.6.4 符号同步定时偏差检测 87

5.5.6.4.1 非数据辅助定时偏差检测 87

5.5.6.4.2 符号同步定时偏差计算的结论 88

5.5.6.4.3 直接判决定时偏差检测 88

1. 符号同步定时锁定检测 89

5.5.6.4.4 符号同步检测的结论 90

5.6 DVB-S信道接收硬件实现 91

5.6.1 信号命名规范与约定 91

5.6.1.1 本节的硬件设计约定 91

5.6.1.2 信号命名规则 91

5.6.2 QPSK数字解调器整体结构 91

5.6.2.1 内部结构组成 92

5.6.2.2 系统参数 92

5.6.2.3 测试节点 92

5.6.3 QPSK内部共用模块电路设计 93

5.6.3.1 频率相位校正器(ROTATOR) 93

5.6.3.1.1 输入输出信号 93

5.6.3.1.2 算法实现 93

5.6.3.2 插值器模块(INTPLT) 94

5.6.3.2.1 信号接口 94

5.6.3.2.2 算法实现 94

5.6.3.3 匹配滤波器(MF) 94

5.6.3.3.1 输入输出信号 94

5.6.3.3.2 算法实现 95

5.6.3.4 环路滤波器(LF) 95

5.6.3.4.1 信号接口 95

5.6.3.4.2 算法实现 96

5.6.3.5 均值估计器(MEANEST) 96

5.6.3.5.1 信号接口 96

5.6.3.5.2 算法实现 96

5.6.3.6 锁定指示器(LOCKIND) 97

5.6.3.6.1 信号接口 97

5.6.3.6.2 算法实现 98

5.6.3.6.3 参数输入与测试输出 98

5.6.3.7 频率扫描器(SWEEPER) 99

5.6.3.7.1 信号接口 99

5.6.3.7.2 算法实现 100

5.6.4 载波恢复(CR)模块电路设计 100

5.6.4.1 载波恢复顶层模块 100

信号输入输出 100

功能框图 101

参数输入 102

测试节点 102

5.6.4.2 频率偏差与频率锁定检测器(FELD) 104

信号接口 104

电路硬件实现 104

5.6.4.3 相位偏差与相位锁定检测器(PELD) 104

信号接口 104

硬件电路实现 105

5.6.4.4 数控振荡器（NCO） 105

信号接口 105

硬件电路实现 105

5.6.5 符号同步电路(TR) 105

5.6.5.1 符号同步顶层模块 105

符号同步内部结构图 106

参数输入 107

测试节点 107

5.6.5.2 定时偏差检测器(TED) 107

信号接口 108

算法实现 108

5.6.5.3 定时锁定检测器(TLD) 108

信号接口 108

算法实现 109

5.6.5.4 插值控制器(INCO) 109

信号接口 109

算法实现 109

5.6.5.5 信号功率估计器 110

信号接口 110

算法实现 110

5.6.5.6 定时控制器(TCTRL) 110

信号接口 110

算法实现 111

5.7 DVB-S信道编解码 112

5.7.1 信道编解码的整体流程 112

5.7.1.1 信道编解码控制信号 112

5.7.1.2 FEC电路的状态寄存器 113

5.7.2 Viterbi译码 113

5.7.2.1 整体功能介绍 113

5.7.2.2 viterbi译码同步 114

5.7.2.3 相位旋转(Phase rotation) 114

5.7.2.4 码率调整（Depuncture） 115

码率与时钟频率的关系 115

冗余恢复电路设计 116

冗余恢复电路控制部件 116

冗余恢复电路的时序状态描述 117

5.7.2.5 viterbi分支同步 118

5.7.2.6 误码率检测（Bit Error Count） 118

5.7.2.7 viterbi同步控制 119

5.7.2.8 viterbi核心译码器 119

分支度量值计算 119

加比选阵列(ACS\_Array) 120

信息序列存储单元（Information Series Memory） 122

输出选择（Output Selection） 122

5.7.3 帧同步(Frame Synchronization) 122

5.7.3.1 移位寄存器（ShiftBuf） 123

5.7.3.2 相关器（Correlator） 124

5.7.3.3 本地帧同步（Local Frame） 124

5.7.3.4 帧同步状态机（State Mechine） 124

5.7.3.5 帧输出模块（Output Block） 125

5.7.3.5.1 相位模糊的判断和处理 125

5.7.3.5.2 周期指示延拓 125

5.7.4 去交织（De-Interleave） 125

5.7.4.1 去交织的实现过程 126

5.7.5 RS译码(Reed-Solomon Decoder) 127

1. DVB-S系统RS译码整体概述 127

2. 伴随式计算(Syndromes Calculator) 127

3. 欧几里德迭代（Euclid） 128

a) 输入分配（Mux\_In） 130

b) 欧几里德模块（Euclid Module） 130

c) 输出选择（Mux\_Out） 132

d) 错误值计算（Forney） 132

4. 延迟单元（Delay Unit） 133

5. 输出判决（Decision） 134

5.7.6 解扰（解扰）及同步 134

5.7.7 本节附录 135

5.7.7.1 RS译码器域元素对应的二进制表示 135

5.7.7.2 RS译码电路中Inv模块（求逆） 136

5.8 简化的同步技巧 139

总结 142

第六章 OFDM通信系统芯片设计 1

6.1 本章概要 1

6.2 OFDM设计思想与通用解调过程 2

6.2.1 OFDM技术特点 2

6.2.1.1 OFDM的优点 2

6.2.1.2 OFDM的缺点 3

6.2.1.3 不同网络中的OFDM参数 3

6.2.2 OFDM的基本原理 3

6.2.3 OFDM的解调套路 4

6.2.3.1 OFDM的同步算法 5

6.2.3.2 定时恢复概述 5

6.2.3.3 频偏估计概述 6

6.3 MIMO技术 7

6.3.1 MIMO系统原理 7

6.3.2 MIMO中的空时编码 9

6.3.3 MIMO与OFDM的结合 10

6.3.4 LTE中的MIMO 11

6.3.5 LTE中MIMO简单解调套路 12

6.4 WIFI基础知识 13

6.4.1 802.11系列标准 14

6.4.1.1 802.11a标准 14

*6.4.1.2* 802.11b标准 14

*6.4.1.3* 802.11e标准 14

*6.4.1.4* 802.11g标准 14

*6.4.1.5* 802.11j标准 15

*6.4.1.6* 802.11p标准 15

*6.4.1.7* 802.11n标准 15

*6.4.1.8* 802.11ac标准 15

*6.4.1.9* 802.11ad标准 16

*6.4.1.10* 802.11ah标准 16

*6.4.1.11* 802.11af标准 16

6.4.2 802.11中几个关键概念 16

*6.4.2.1* 802.11的帧结构 16

*6.4.2.2* 802.11的接入方式 17

*6.4.2.3* 802.11的避退机制 18

6.4.3 802.11的通信模型 19

6.4.3.1 802.11设备的基本概念 20

6.4.3.2 WIFI网络的组织 20

6.4.3.3 WIFI网络的电信运营框架 20

6.5 802.11a发射机设计 22

6.5.1 802.11a技术参数概述 22

6.5.1.1 物理层参数概貌 22

6.5.1.2 保护间隔（GI）与符号长度 22

6.5.1.3 调制方式（MCS） 23

6.5.1.3.1 802.11a的MCS 23

6.5.1.3.2 802.11n的MCS 23

6.5.1.4 FFT参数 24

6.5.2 802.11a的帧结构 24

6.5.2.1 *短训练序列符号* 25

6.5.2.2 *长训练序列符号* 25

6.5.2.3 *Signal域* 25

6.5.2.4 *数据域* 26

6.5.3 802.11a的发送流程 26

6.5.4 802.11a发射机实现原理 27

6.5.4.1 短训练序列L-STF 28

6.5.4.1.1 FFT变换 28

6.5.4.1.2 周期性延拓 28

6.5.4.1.3 时域加窗 28

6.5.4.1.4 短头的时域形式 29

6.5.4.1.5 短头发送的硬件实现方法 29

6.5.4.2 长训练序列L\_LTF 30

6.5.4.3 Signal序列 32

6.5.4.3.1 填充Signal域的24Bit 32

6.5.4.3.2 卷积编码 32

6.5.4.3.3 交织 34

6.5.4.3.4 BPSK星座图 34

6.5.4.3.5 插入导频 34

6.5.4.3.6 IFFT、周期延拓、时域加窗 35

6.5.4.4 发送DATA段数据 35

6.5.4.4.1 MAC数据展开 35

6.5.4.4.2 添加SEVICE段 35

6.5.4.4.3 添加卷尾码(tail bits)和添0比特（padding） 36

6.5.4.4.4 加扰（scrambling） 36

6.5.4.4.5 卷积编码 36

6.5.4.4.6 交织 37

6.5.4.4.7 调制 37

6.5.4.4.8 导频插入 38

6.5.4.4.9 IFFT、周期延拓、时域加窗 38

6.5.4.4.10 发送其余DATA段数据 38

6.5.4.4.11 发射机流程小结 38

6.5.5 802.11a发射机matlab实现 39

6.5.6 802.11a发射机Verilog实现 42

6.5.6.1 星座图交织合并处理代码 42

6.5.6.2 FFT变换实现 43

6.6 802.11a 接收机设计 44

6.6.1 接收机的适用范围 44

6.6.2 接收机整体概述 44

6.6.2.1 802.11a接收机模块组成 45

6.6.2.2 802.11a接收机内部结构图 46

6.6.2.3 802.11a接收流程方案 47

6.6.2.4 802.11a接收机备选方案 48

6.6.3 接收机算法原理概述 50

6.6.3.1 频偏检测算法 50

利用short preamble进行粗频偏检测的方法 50

利用long preamble进行精频偏估计 50

*6.6.3.2* 时间同步算法 51

short preamble进行相关时所选长度 51

利用long preamble进行精同步 52

*6.6.3.3* 信道估计 52

信道的初步估计 52

信道估计值的平滑 52

*6.6.3.4* 最大比合成均衡 53

*6.6.3.5* 相位校正 53

（1）残余频偏和采样偏差对FFT后数据的影响 53

（2）直线的最小二乘拟合 54

*6.6.3.6* 时间同步跟踪 54

*6.6.3.7* 解映射 54

6.6.4 802.11a接收机模块设计 56

*6.6.4.1* 帧头检测 FrD模块 56

功能说明 56

模块输入输出信号 56

等效实现 56

算法实现说明 56

关键运算说明 57

*6.6.4.2* 频偏检测模块FD（Frequency Offset Detect） 57

功能说明 57

输入/输出 57

关键运算时序 58

关键运算说明 58

*6.6.4.3* 频偏纠正模块FC (Frequency Offset Correct) 58

模块功能 58

输入输出信号说明 58

关键时序说明 58

关键运算说明 59

*6.6.4.4* 长头互相关检测模块LMD（LongPreample Mutuality Detect） 59

功能说明 59

输入输出说明 59

关键运算时序 60

关键运算说明 60

数据运算实例（matlab代码） 61

*6.6.4.5* 信道估计模块CHE (Channel Estimation) 61

功能说明 61

模块输入输出信号 61

模块时序要求 62

关键运算说明 62

数据实现实例 62

*6.6.4.6* 信道估计低通滤波后处理 LPF(Low Pass Filter) 62

功能说明 62

模块输入输出信号 62

关键运算时序 62

关键运算说明 62

*6.6.4.7* 信道估计的权重模块 CHW (Channel Estimation Weight) 63

功能说明 63

模块输入输出信号 63

关键运算时序 63

关键运算步骤 63

*6.6.4.8* 信道均衡与最大比合成CHS (Channel Max Synthesis) 63

功能说明 63

模块输入输出信号 63

关键运算时序 64

关键运算说明 64

*6.6.4.9* 导频信道FFT计算模块FFT\_Pilot 64

功能说明 64

模块输入输出信号 64

关键运算时序 65

关键运算说明 65

Pilot FFT的定点Matlab源程序 65

*6.6.4.10* 子载波相位拟合参数计算模块PL\_ para (Subcarry Phrase Line parameter) 65

功能说明 65

模块输入输出信号 65

关键运算时序 66

相位拟合的定点matlab程序 66

*6.6.4.11* 子载波相位直线拟合模块PL (Subcarry Phrase Line) 67

功能说明 67

模块输入输出信号 67

关键运算时序 67

相位拟合计算的Matlab 程序 67

*6.6.4.12* OFDM相位直线斜率平滑KS (K Smooth) 68

功能说明 68

模块输入输出信号 68

关键运算时序 68

关键运算说明 68

*6.6.4.13* 相位拟合模块截距平滑A S (A Smooth) 69

功能说明 69

模块输入输出信号 69

关键运算时序 69

关键运算说明 69

*6.6.4.14* 子载波相位补偿模块 PC (Phrase Correct) 70

功能说明 70

模块输入输出信号 70

关键运算时序 70

关键运算说明 70

*6.6.4.15* 时间跟踪模块（Time Tracking） 71

功能说明 71

模块输入输出信号 71

关键运算时序 72

关键运算说明 72

*6.6.4.16* 解映射模块 DeMAP（Demap） 72

功能说明 72

模块输入输出信号 72

关键运算时序 72

关键运算说明 72

6.6.5 接收机中用到的一些查表模块 74

*6.6.5.1* 相位计算查表模块PCH (Pharse Chart) 74

功能说明 74

模块输入输出信号 74

关键运算时序 74

关键运算说明 74

*6.6.5.2* 正余弦查表模块（用于FC和PC模块）S&C (SIN&COS Chart) 75

功能说明 75

模块输入输出信号 75

关键运算时序 76

算法实现基本思想 76

输入输出信号表 76

数据实现代码 77

6.7 802.11b 发射机设计 79

6.7.1 802.11b的帧结构 79

6.7.2 802.11b发射内容归纳 80

6.7.3 802.11b的标准发射过程 80

6.7.4 802.11b发射数据产生 82

6.7.4.1 Preamble产生 82

6.7.4.2 Header产生 83

6.7.4.2.1 LENGTH计算的硬件实现 83

6.7.4.2.2 CRC-16的硬件实现 83

6.7.4.2.3 生成Header的Matlab程序 84

*6.7.4.3* 扰码产生 85

*6.7.4.4* DBPSK产生 86

*6.7.4.5* DQPSK产生 87

*6.7.4.6* CCK调制(Complementary code keying) 87

6.7.4.6.1 CCK调制原理 87

6.7.4.6.2 5.5Mbps的CCK编码方案 88

6.7.4.6.3 11Mbps的CCK编码方案 89

*6.7.4.7* 802.11b发射信号产生流程 90

6.7.5 802.11b 硬件详细设计 90

6.7.5.1 发射机内部结构 90

6.7.5.2 发射机外围接口 91

6.8 802.11b 接收机设计 93

6.8.1 接收机概述 93

6.8.2 接收机算法原理 93

6.8.3 接收机接收流程 94

6.8.3.1 802.11b接收机主干流程 94

6.8.3.1.1 包头检测与时间初同步 94

6.8.3.1.2 HEADER 解调 94

6.8.3.1.3 PSDU 解调 95

6.8.3.1.4 DBPSK解调 95

6.8.3.1.5 DQPSK解调 96

6.8.3.1.6 CCK解调 96

6.8.3.1.7 解扰 96

6.8.3.1.8 主干流程的解调过程 96

6.8.3.2 信道估计与均衡 98

6.8.3.2.1 检测初始频偏 99

6.8.3.2.2 频偏跟踪 99

6.8.3.2.3 频偏校正 101

6.8.3.2.4 信道估计 101

6.8.3.2.4.1 信道估计的算法原理 102

6.8.4 接收机信号处理小结 103

6.8.5 802.11b接收机实际硬件实现 103

6.8.5.1 系统总控模块 103

6.8.5.1.1 功能说明 103

6.8.5.1.2 模块连接关系 104

6.8.5.1.3 模块连接列表说明 104

6.8.5.2 包头检测模块PKT\_DET\_CSYN（Packet Detect and Coarse Synchronization） 104

功能说明 104

输入/输出 104

关键运算时序 105

关键运算说明 105

*6.8.5.3* 信道估计与精定时模块CHE\_FT（Channel Estimation and Fine Timing） 106

功能说明 106

输入/输出 106

关键运算时序 106

关键运算说明 107

Matlab数据运算实例 108

*6.8.5.4* 信道滤波模块CHF（Channel Filtering） 109

模块功能 109

模块输入输出 109

关键运算时序 109

关键运算说明 109

*6.8.5.5* 频偏补偿模块 FC（Frequency shift Compensating） 109

模块功能 109

模块输入输出 109

关键运算时序 110

关键运算说明 110

*6.8.5.6* 定时跟踪模块TTR（Timing Tracking） 111

功能说明 111

模块输入/输出 111

关键运算时序 112

关键运算说明 112

6.8.5.7 低通滤波模块：LPF（Low Pass Filtering） 114

功能说明 114

模块输入输出 114

关键时序 114

运算内容及参考matlab实现 114

6.8.5.8 CCK译码总控模块 DEC\_CTL（Decoding CCK Control） 114

功能说明 114

CCK译码结构 115

时序关系 115

6.8.5.9 FWT模块（Fast Walsh Transform） 116

功能说明 116

模块输入输出信号 116

关键运算时序 117

关键运算说明 117

数据运算实例 120

6.8.5.10 符号间干扰模块 ISI（Inter Symbol Interference） 121

模块功能 121

模块输入/输出 122

关键运算时序 122

关键运算说明 122

数据运算实例 122

6.8.5.11 DBPSK解码模块DB（Decoding DBPSK） 122

模块功能 122

模块输入/输出 123

关键运算时序 123

关键运算说明 123

6.8.5.12 DQPSK解码模块DQ（Decoding DQPSK） 123

模块功能 123

模块输入/输出 123

关键运算时序： 124

关键运算说明： 124

6.8.6 802.11b接收机部分通用模块设计 125

（1）正余弦查找表模块 125

模块功能 125

模块输入/输出： 125

（2）倒数查表模块RTAB (Reciprocal Table) 125

模块功能 125

模块输入/输出： 125

关键运算时序 125

关键运算说明 125

算法原理 126

数据运算实例 127

6.9 802.11g 整体设计 128

6.9.1 802.11g概述 128

802.11g接收机内部结构 129

802.11g发射机内部结构 130

6.9.2 802.11g接收前端信号处理模块 131

接收机前置数字滤波器（Ahead\_LPF） 131

模块功能 131

输入输出信号 131

关键运算时序 132

运算说明 132

实现代码 132

接收MISMATCH模块（mismatch\_rx） 132

模块功能 132

信号输入/输出 132

关键运算说明 133

幅度调整模块(AMP\_adj) 133

模块功能 133

模块输入/输出 133

主要算法 133

幅度调制模块注意事项 134

载波泄露处理模块——DC offset 134

模块功能 134

输入输出信号 135

关键算法 135

控制信号生成 136

OFDM包检测——OFDM\_PD 136

模块功能 136

输入输出列表 136

检测算法概要 136

算法步骤1：计算信号与短头16点相关结果 137

算法步骤2：相关结果取模平方（I^2+Q^2） 137

算法步骤3：输入信号近似求模，对信号的模进行平滑 137

算法步骤4：相关结果的模平方与信号平滑过的模进行比较 137

算法实现注意事项 137

Barker码检测——CCK\_PD 138

模块功能 138

模块输入/输出 138

算法实现说明 138

信号能量估计模块——RMS\_eval 138

模块功能 138

输入输出列表 139

运算步骤说明 139

运算时注意事项 139

自动增益控制模块——AGC 139

模块功能 139

AGC原理概述 139

AGC参数估计 140

AGC的线性控制模型 142

对数线性控制模型 143

AGC模块与其它模块关系图 144

输入输出信号说明 145

对AGC过程的控制 146

Maxim RF的AGC过程说明（RGB\_RF\_SEL=’H’） 147

RFMD等RF的AGC过程说明 （RGB\_RF\_SEL=’L’） 148

变量说明小结 149

关于AGC过程及JAM\_FLAG的伪代码 149

RMS调整模块（RMS Adjust）——RMS\_ADJ 150

模块功能 150

模块输入/输出 150

运算结构 150

关键运算说明 150

空闲信道检测模块（Clear Channel Assessment）——CCA 151

模块功能 151

输入输出端口 152

CCA信号的生成逻辑 152

对CCA信号的控制 152

CCA生成时需要的注意事项 153

RSSI\_L及相关关键信号的生成 153

RSSI\_L信号 153

RSSI\_L\_MSK信号 153

RSSI\_H信号 154

RMS与RSSI门限的关系 154

6.9.3 802.11g接收前端控制处理模块 154

6.9.3.1 主要工作流程 155

6.9.3.2 模块连接关系 155

6.9.3.3 预处理部分控制模块 156

模块功能 156

控制模块输入输出 156

控制信号生成条件 156

6.9.3.4 总控模块 158

模块功能 158

模块输入输出信号 158

控制信号生成条件 159

基带出错的标志信号 159

错误中断与状态指示的标准写法 160

6.9.4 802.11g发射前端信号处理模块 160

6.9.4.1 发射滤波器模块（Ahead\_LPF\_TX） 160

模块功能 160

6.9.4.2 发射功率控制模块（TPC） 160

模块功能 160

TPC与其它模块之间的关系 161

模块算法 161

6.9.4.3 发射补偿模块MISMATCH\_TX（MISMATCH compensation of Transmitter） 161

模块功能 161

输入/输出信号说明 161

运算时序 161

运算过程说明 161

数据运算实例 162

6.9.4.4 发射预失真模块（DPD） 162

原理简介 162

DPD的参数计算方法 164

11g的DPD计算方法以及实现 164

11g校准矩阵可以校准的物理量 165

模块算法 167

模块内部结构设计 167

DPD模块的几个关键时序图 167

6.9.5 802.11g一些附加模块 168

6.10 802.11技术新的发展 170

6.10.1 802.11系列的发展脉络 170

6.10.1.1 802.11系列的空口设定 171

6.10.1.2 802.11系列的FFT 172

6.10.1.3 802.11系列的物理层技术 173

6.10.1.4 802.11系列的传输速率 173

6.10.2 802.11n关键技术概述 173

6.10.2.1 802.11n发射框架 174

6.10.2.2 MIMO技术 176

6.10.2.3 FEC (Forward Error Correction) 176

6.10.2.4 Short Guard Interval (GI) 176

6.10.2.5 LDPC 176

6.10.3 802.11n的帧格式 176

6.10.3.1 传统模式（Legacy mode） 177

6.10.3.2 混合模式（Mixed mode） 177

6.10.3.3 独立运行模式（Greenfield mode） 178

6.10.3.4 物理层（20MH带宽）帧格式讲解 178

6.10.3.5 物理层（40MH带宽）帧格式讲解 179

6.10.3.6 MAC层（40MH带宽）帧格式特点 180

6.10.4 802.11ac的物理层 183

6.10.4.1 802.11ac与11n的帧格式对比 183

6.10.4.2 802.11ac帧格式详细描述 183

6.10.4.3 Signal字段指示 184

6.10.5 802.11ac的发射机 185

6.10.5.1 标准训练序列结构 185

6.10.5.2 兼容符号段结构 185

6.10.5.3 VHT-SIG-B的发射机结构 186

6.10.5.4 Data段的发射机结构 187

6.10.6 802.11ac新特性 191

6.10.6.1 MU-MIMO 191

6.10.6.2 波束成形 192

6.10.6.3 802.11ac的MAC层改进 193

6.10.6.3.1 A-MPDU 193

6.10.6.3.2 RTS/CTS 193

6.10.6.3.3 动态频宽 193

6.10.6.4 802.11ac的后续演进 193

6.10.7 802.11ah（802.11的物联网（IOT）标准） 194

6.10.7.1 802.11ah的工作频段 194

6.10.7.2 802.11ah的物理层 195

6.10.7.2.1 1MHz模式的物理层 195

6.10.7.2.2 大于1MHz模式的物理层 196

6.10.7.3 802.11ah的发射机 197

6.10.7.4 802.11ah的接收过程 198

6.10.8 802.11的全双工传输技术 199

6.10.8.1 多维载波侦听 199

6.10.8.2 NDD技术 200

6.10.9 802.11n商业芯片示例 201

6.11 附录 802.11b接收机理论基础 203

6.11.1 802.11b无码字间干扰时的最优接收 203

6.11.1.1 基本原理 203

6.11.1.2 巴克码译码 204

6.11.1.3 巴克码的Rake接收 204

6.11.1.4 符号同步 205

6.11.1.5 CCK码译码 205

6.11.1.5.1 CCK的内积简化 206

6.11.1.5.2 只有$ϕ1$不同的相关运算 207

6.11.1.6 无码间干扰的理论误码率分析 208

*6.11.2* 802.11b有码字间干扰的次优接收 209

*6.11.3* 802.11b有码字间干扰的最优接收 210

6.11.3.1 基本原理 210

6.11.3.2 递推计算 211

6.11.3.3 最优译码过程 211

6.11.3.4 截尾译码 212

6.11.3.5 部分状态译码 213

6.12 附录 802.11a/g接收机算法matlab代码概述 214

6.12.1 主程序 214

6.12.2 关键子程序 220

6.12.2.1 符号判决与星座图子程序 220

6.12.2.2 解映射程序 220

6.12.2.3 最小均方差程序 221

总结 223

第七章 复杂通信系统设计 1

7.1 本章概要 1

7.2 大型通信系统简介 2

7.2.1 概述 2

7.2.2 公网系统的演进 2

7.2.3 大型通信系统的特点 2

7.2.3.1 系统需求 3

7.2.3.2 基站的使用场景 4

7.2.3.3 基站形态 5

7.2.3.3.1 RRU内部结构 6

7.2.3.3.2 RRU的数据处理 7

7.2.3.3.3 BBU的概念 8

7.2.3.3.4 新一代的基站构架 8

7.2.3.4 终端形态 10

7.3 LTE系统简介 12

7.3.1 LTE系统构架 13

7.3.1.1 EPC与E-UTRAN功能划分 14

7.3.2 LTE物理层 14

7.3.2.1 LTE的带宽 15

7.3.2.2 LTE帧结构 15

7.3.2.2.1 FDD/TDD帧结构 15

7.3.2.2.2 TDD帧结构特点 16

7.3.2.2.2.1 LTE的基本时间单位 16

7.3.2.2.2.2 上下行子帧比例配置 17

7.3.2.2.2.3 基站上下行切换时间 17

7.3.2.3 物理信道简介 18

7.3.2.3.1 下行信道 18

7.3.2.3.2 上行信道 20

7.3.2.4 LTE基本资源 20

7.3.2.4.1 RE的定义 20

7.3.2.4.2 PRB的定义 21

7.3.2.4.3 REG/CCE/RBG的概念 22

7.3.2.4.4 子帧中控制区域与数据区域的划分 24

7.3.2.4.5 天线端口的概念 24

7.3.2.5 LTE的参考信号 25

7.3.2.5.1 下行参考信号 25

7.3.2.5.1.1 参考序列的产生 25

7.3.2.5.1.2 *正常子帧小区参考信号（CRS）* 26

7.3.2.5.1.3 *MBSFN参考信号* 26

7.3.2.5.1.4 用户专用参考信号（DRS） 27

7.3.2.5.2 上行参考信号 27

7.3.2.5.2.1 *上行数据解调参考信号图案* 28

7.3.2.5.2.2 *Sounding参考信号（SRS）图案* 28

7.3.2.5.2.3 *上行参考信号序列的比较* 29

7.3.2.6 下行主/辅同步信号 29

7.3.2.7 LTE各类信号在整个频带内的情况 31

7.3.3 LTE的关键技术 33

7.3.3.1 OFDM关键技术 33

7.3.3.1.1 SC-FDMA与OFDM的区别 34

7.3.3.2 多天线技术 34

7.3.3.3 自适应调制与编码 35

7.3.3.4 自适应重传 35

7.3.3.5 MIMO多天线技术 35

7.3.3.5.1 码字与层映射的关系 36

7.3.3.5.2 LTE的传输模式 37

7.3.4 附录1 LTE的一些浅显描述 38

7.4 LTE的物理层过程及关键算法 40

7.4.1 上行共享信道PUSCH 40

7.4.1.1 PUSCH的信道估计 41

7.4.1.2 PUSCH解业务映射模块 42

7.4.2 上行控制信道PUCCH 43

7.4.2.1 PUCCH接收整体划分 44

7.4.2.2 PUCCH的信道估计 45

7.4.2.3 PUCCH接收模块间的关系 46

7.4.2.4 上行信道编解码的补充说明 47

7.4.3 随机接入信道PRACH 48

7.4.3.1 PRACH的组成 48

7.4.3.2 Preamble序列的产生 49

7.4.3.3 随机接入的作用及其方案 49

7.4.3.4 终端发送PRACH过程 50

7.4.3.5 Prach的接收流程 51

7.4.4 下行共享信道PDSCH 52

7.4.4.1 PDSCH的发送流程 52

7.4.4.2 PDSCH的接收流程 53

7.4.5 下行控制信道PDCCH 53

7.4.5.1 PDCCH的发送流程 54

7.4.5.2 PDCCH的接收流程 54

7.4.5.3 PDCCH信道下行调度分配的DCI指示 55

7.4.5.3.1 DCI format1 55

7.4.5.3.2 DCI format1A 55

7.4.5.3.3 DCI format1B： 56

7.4.5.3.4 DCI format1C： 56

7.4.5.3.5 DCI format1D 57

7.4.5.3.6 DCI format2 57

7.4.5.3.7 DCI format2A 57

7.4.5.4 上行调度分配的DCI指示 57

7.4.5.5 功率控制分配的DCI指示 58

7.4.5.6 PDCCH的基本单元CCE 58

7.4.6 下行PBCH信道 59

7.4.6.1 PBCH的发送流程 60

7.4.6.2 PBCH的接收流程 60

7.4.7 PHICH信道 61

7.4.7.1 PHICH信道的发送流程 61

7.4.7.2 PHICH信道的接收流程 61

7.4.8 PCFICH信道 61

7.4.8.1 PCFICH信道发送流程 62

7.4.9 PCFICH信道接收流程 62

7.4.10 SRS过程 62

7.4.10.1 SRS的接收过程（基站侧） 62

7.4.11 上行信道的功率控制 63

7.4.11.1 PUSCH功率控制 63

7.4.11.2 PUCCH功率控制 64

7.4.11.3 SRS功率控制 65

7.4.12 HARQ重传 65

7.4.12.1 Turbo码与HARQ之间的关系 65

7.4.12.2 HARQ检错技术 66

7.4.12.3 HARQ处理过程 67

7.4.12.4 HARQ的信号处理流程 68

7.4.13 终端对物理层的处理 69

7.4.13.1 终端发送整体流程 69

7.4.13.2 终端接收整体流程 70

7.4.14 基站对物理层的处理 70

7.4.14.1 基站发送整体流程 70

7.4.14.1.1 非波束赋形传输 71

7.4.14.1.2 波束赋形传输 72

7.4.14.2 基站接收整体流程 72

7.4.15 其它算法 73

7.4.15.1 终端相关算法 73

7.4.15.1.1 下行符号定时同步 73

7.4.15.1.1.1 定时原理 73

7.4.15.1.1.2 算法实现 74

7.4.15.1.2 同步信道辅助闭环频偏估计及补偿 75

7.4.15.1.2.1 载波频偏估计 76

7.4.15.1.2.2 载波频偏补偿 77

7.4.15.1.2.3 基于CRS的信道估计算法 77

7.4.15.1.2.4 基于DRS的信道估计算法 78

7.4.15.1.2.5 终端物理层测量 78

7.4.15.2 基站相关算法, 79

7.4.15.2.1 上行同步控制 79

7.4.15.2.1.1 定时检测 79

7.4.15.2.1.2 外环与内环控制 79

7.4.15.2.2 基站的测量 79

7.5 LTE系统开发简要说明 80

7.5.1 复杂通信系统的几个基本概念 80

7.5.2 LTE的软件框架 82

7.5.3 LTE高层算法 83

7.5.3.1 下行调度算法简介 87

7.5.3.2 上行调度算法简介 87

7.5.4 LTE芯片概述 87

LTE终端芯片设计概述 87

7.6 LTE基站芯片设计 89

7.6.1 LTE基站基带芯片需求分析 89

7.6.1.1 影响芯片构架的直接因素 89

7.6.1.1.1 高阶调制技术 89

7.6.1.1.2 载波聚合（CA） 90

7.6.1.1.3 Sniffer与空口同步 90

7.6.1.2 影响芯片构架的间接因素 90

7.6.1.2.1 双联接（U/C分离） 91

7.6.1.2.1.1 双联接的控制面构架 91

7.6.1.2.1.2 双联接的用户面构架 91

7.6.1.2.2 小小区开关及发现技术 92

7.6.1.2.3 自优化（SON）技术 92

7.6.1.3 需求小结 94

7.6.2 LTE基站芯片的参考构架 94

7.6.2.1 TI LTE芯片构架 94

7.6.2.2 Freescale LTE基带芯片构架 95

7.6.2.3 软基带构架 97

7.6.2.4 Xilinx 基带芯片构架 98

7.6.2.5 其它设计方案 98

7.6.3 LTE基带芯片设计参考 99

7.6.3.1 芯片整体框架 99

7.6.3.2 资源需求分析 100

7.6.3.3 L1（物理层）设计 101

7.6.3.4 L2/L3层设计 102

7.6.3.5 射频接口 104

7.6.4 基于ESL的LTE基站芯片开发流程 104

7.6.4.1 确定开发工作重点 105

7.6.4.2 LTE小型化基站架构设计 106

7.6.4.2.1 处理能力可伸缩的芯片架构 106

7.6.4.2.2 芯片构架说明 106

7.6.4.3 芯片的软硬件划分 107

7.6.4.3.1 LTE的功能分解 107

7.6.4.3.2 软硬件划分参考 108

7.6.4.3.3 LTE基带处理中的并行化分析 109

7.6.4.4 基于ESL工具的设计例子1 109

7.6.4.5 利用ESL生成LTE芯片的例子2 110

7.6.4.6 ESL芯片开发的几个关键技术 111

7.6.4.6.1 矢量处理器结构设计 112

7.6.4.6.2 矢量处理器指令集设计 112

7.6.4.6.3 核心算法并行化设计 112

7.6.4.6.4 基带算法矢量化设计 113

7.6.5 芯片实现流程 114

7.6.5.1 RTL级设计 114

7.6.5.2 功能验证 114

7.6.5.3 物理设计 115

7.6.5.4 芯片验证 115

7.7 LTE基于FPGA的基带方案 117

7.7.1 基站基带模块在LTE系统中的位置 117

7.7.2 基站基带模块的硬件架构 118

7.7.3 基带软件到硬件的映射 119

7.7.4 FPGA功能设计 120

7.7.4.1 FPGA内部功能划分 121

7.7.4.2 FPGA时序分析 121

7.7.4.2.1 上行功能与时序确认 121

7.7.4.2.2 下行功能与时序确认 123

7.7.4.2.3 PRACH时序分析 123

7.7.4.2.4 FPGA的接口设计 125

7.8 LTE典型基站产品内部结构解析 126

7.8.1 研究LTE基站产品的目的 126

7.8.2 基站内部结构 126

7.8.3 主板主要器件分析 127

7.8.3.1 射频板分析 128

7.8.3.2 电源供电模块 129

7.8.3.2.1 电源板 129

7.8.3.2.2 传输交换板 130

7.8.4 对基站芯片/FPGA开发的启示 131

总结 132